

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63253713 A**(43) Date of publication of application: **20.10.88**

(51) Int. Cl

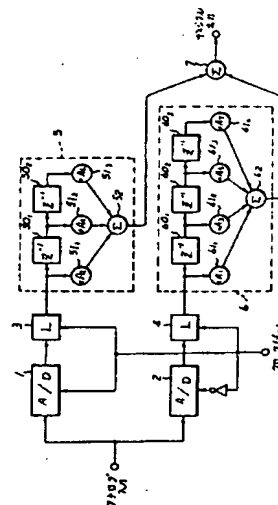
H03H 17/02**// H03K 7/02****H03M 1/12**(21) Application number: **62088198**(71) Applicant: **PIONEER ELECTRONIC CORP**(22) Date of filing: **09.04.87**(72) Inventor: **KOBAYASHI AKISANE**(54) **SAMPLING CIRCUIT**

COPYRIGHT: (C)1988,JPO&Japio

(57) Abstract:

PURPOSE: To constitute a digital system by circuit components operated at a clock frequency being nearly the sampling frequency by applying n-phase A/D conversion while the sample point is deviated by $2\pi/n$ at every sampling frequency and passing the signal through a digital low pass filter at every phase and summing the result.

CONSTITUTION: The analog signal is fed to two (biphase) A/D converters 1, 2, which apply biphase A/D conversion by a sampling frequency (f_s) having a phase difference of 180° with each other. The signal passes through the digital low pass filters 5, 6 whose interrupting frequency is $f_s/2$ at every phase and the result is summed at an adder 7. Thus, the circuit components of the digital system such as A/D converters are enough to be operated at a low clock frequency being nearly the frequency (f_s) or enough to transmit a signal having a frequency of nearly $f_s/2$ and the circuit constitution is simplified.



⑫ 公開特許公報(A) 昭63-253713

⑤ Int. Cl.⁴ 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)10月20日
H 03 H 17/02 A-6903-5J
// H 03 K 7/02 7328-5J
H 03 M 1/12 C-6832-5J 審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 サンプリング回路

⑮ 特 願 昭62-88198

⑯ 出 願 昭62(1987)4月9日

⑰ 発 明 者 小 林 聡 実 埼玉県所沢市花園4丁目2610番地 バイオニア株式会社所
沢工場内
⑱ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号
⑲ 代 理 人 弁理士 藤村 元彦

明 細 書

1. 発明の名称

サンプリング回路

2. 特許請求の範囲

互いに $2\pi/n$ (n は2以上の整数) の位相差を有するサンプリング周波数 f_s でアナログ信号をディジタル化する n 個の A/D (アナログ/ディジタル) 変換器と、これら A/D 変換器の各出力を入力とする通断周波数 $f_s/2$ の n 個のディジタル LPF (ローパスフィルタ) と、これらディジタル LPF の各出力を加算する加算器とを備えたことを特徴とするサンプリング回路。

3. 発明の詳細な説明

技術分野

本発明は、サンプリング回路に関し、特に A/D 変換器を含むサンプリング回路に関するものである。

背景技術

時間的に連続な信号、すなわちアナログ信号を

サンプリング(標本化)し、ディジタル信号に変換するに際しては、標本化定理により、ディジタル化する原信号中にサンプリング周波数 f_s の $1/2$ 以上の周波数成分を含まないことが条件となっている。もし $1/2$ 以上の周波数成分を含んだ場合には、復調時にエリヤシング歪を発生することになる。このため、A/D 変換に際しては、アナログ段階で LPF (ローパスフィルタ) を用いてサンプリング周波数 f_s の $1/2$ 以上の周波数成分をカットし、しかるのちサンプリング周波数 f_s でサンプリングし、A/D 変換を行なう方法が一般的に用いられていた。しかしながら、かかる方法においては、エリヤシング歪を抑制するために設けられたアナログ LPF によって位相歪が発生するという問題があった。

このアナログ LPF による位相歪の問題を解決するために、第2図に示すように、A/D 変換器 10 の後段にディジタル LPF 11 を配し、このディジタル LPF 11 として位相直線形 FIR (非巡回形) フィルタを用いた構成のサンプリン

グ回路が知られている。ディジタルLPF 11は、サンプリング周波数 f_s で決まる1クロック分の遅延時間(Z^{-1})を有して互いに縦続接続された例えば6個の遅延回路110₁～110₆と、遅延回路110₁の入力信号及び遅延回路110₁～110₆の各出力信号に乗算係数 A_1 ～ A_6 を乗ずる乗算器111₁～111₆と、各乗算出力を加算する加算器112とからなる位相直線形FIRフィルタ構成となっている。

かかる従来のサンプリング回路においては、 $2f_s$ のサンプリング周波数でA/D変換し、ディジタルLPF 11を経たディジタル信号をダウンサンプリング回路12でダウンサンプリングする構成となっているので、ディジタル系の回路素子として高いクロック周波数で動作可能なものを用いる必要があった。

発明の概要

本発明は、上述した点に鑑みなされたもので、 f_s (サンプリング周波数) 程度のクロック周波数で動作可能な回路素子でディジタル系を構成で

易に変換する。これにより、 $2f_s$ のサンプリング周波数でアナログ信号をサンプリングしたのと実質的に同じことになる。A/D変換器1、2から出力された2相のディジタル信号はラッチ回路3、4でラッチされることにより、両相のタイミングが一致せしめられ、ラッチ回路4の出力データがラッチ回路3の出力データよりも 180° 後のデータとなる。両出力データは位相直線形FIRフィルタ構成のディジタルLPF 5、6に供給される。ディジタルLPF 5、6の各出力は加算器7で加算されディジタル信号として出力される。

ディジタルLPF 5は、サンプリング周波数 f_s で決まる1クロック分の遅延時間(Z^{-1})を有して互いに縦続接続された遅延回路50₁、50₂と、遅延回路50₁の入力信号及び遅延回路50₁、50₂の各出力信号に対して第2図の従来回路における偶数番目の乗算係数 A_2 、 A_4 、 A_6 を乗ずる乗算器51₁～51₃と、各乗算出力を加算する加算器52とから構成されている。一方、ディジタルLPF 6は、同様に互いに縦続

ぎ、しかも回路構成の簡略化を図れるサンプリング回路を提供することを目的とする。

本発明によるサンプリング回路は、互いに $2\pi/n$ (n は2以上の整数)の位相差を有するサンプリング周波数 f_s でアナログ信号をディジタル化する n 個のA/D変換器と、これらA/D変換器の各出力を入力とする通断周波数 $f_s/2$ の n 個のディジタルLPFと、これらディジタルLPFの各出力を加算する加算器とを備えた構成となっている。

実施例

以下、本発明の実施例を図に基づいて詳細に説明する。

第1図は本発明の一実施例を示すブロック図であり、例えば2相サンプリングの場合を示している。図において、ディジタル化されるアナログ信号は2つ(2相)のA/D変換器1、2に供給される。A/D変換器1、2は互いに π (180°)の位相差を有するサンプリング周波数 f_s でアナログ信号をサンプリングし、2相のディジタル信

接続された遅延回路60₁、60₂、60₃と、遅延回路60₁の入力信号及び遅延回路60₁～60₃の各出力信号に対して従来回路における奇数番目の乗算係数 A_1 、 A_3 、 A_5 、 A_7 を乗ずる乗算器61₁～61₄と、各乗算出力を加算する加算器62とから構成されている。すなわち、ディジタルLPF 5、6及び加算器7からなる回路は、第2図の従来回路におけるディジタルLPF 11と等価な回路構成となっている。

このように、互いに 180° の位相差を有するサンプリング周波数 f_s で2相のA/D変換を行ない、各相毎に通断周波数 $f_s/2$ のディジタルLPF 5、6を通過せしめたのち加算することにより、各相の信号系に着目すると、A/D変換器を初めとするディジタル系の回路素子は f_s 程度の低いクロックで動作するもので済み、しかも回路構成が複雑化し易い遅延回路を1個、さらにダウンサンプリング回路12を従来回路に比して削減できることになる。

なお、上記実施例では、サンプリング周波数 f_s で π づつサンプルポイントをずらして2相の A/D 変換を行なうことにより、サンプリング周波数 $2f_s$ で単相の A/D 変換を行なうのと同様な効果を得る場合について説明したが、これに限定されるものではなく、 n 相サンプリングで良く、この場合、各デジタル LPF における乗算係数を従来回路の乗算係数に対して n 個毎の組合わせとすれば良い。

発明の効果

以上説明したように、本発明によるサンプリング回路においては、サンプリング周波数 f_s で $2\pi/n$ づつサンプルポイントをずらして n 相の A/D 変換を行ない、各相毎に遮断周波数 f_s/n のデジタル LPF を通過せしめたのち加算する構成となっているので、 f_s (サンプリング周波数) 程度のクロック周波数で動作可能でかつ f_s/n 程度の信号を伝達し得る回路素子でデジタル系を構成でき、しかも回路構成の簡略化を図ることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は従来例を示すブロック図である。

主要部分の符号の説明

- 1, 2, 10 …… A/D 変換器
- 5, 6, 11 …… デジタル LPF
- Z^{-1} …… 1 クロック分の遅延時間 (演算子)

出願人 バイオニア株式会社

代理人 弁理士 藤村元彦

第1図

